

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

5-10-00000
DB
11-6-01
JC872 U.S. PTO
09/804311
03/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 3月13日

出願番号

Application Number:

特願2000-068338

出願人

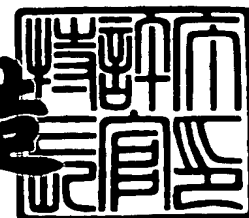
Applicant (s):

松下電子工業株式会社

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3000685

【書類名】 特許願

【整理番号】 2925010118

【提出日】 平成12年 3月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 嶋田 恭博

【発明者】

 【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

 【氏名】 加藤 剛久

【特許出願人】

 【識別番号】 000005843

 【氏名又は名称】 松下電子工業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011316

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板上につくられた金属-酸化物-シリコン（MOS）電界効果型トランジスタ（FET）と、該MOSFETを形成する工程とは別の工程で同一基板上につくられた強誘電体キャパシタの一方の電極が、前記MOSFETのゲート電極と電氣的に接続され、もう一方の強誘電体キャパシタの電極に与える電位によって前記MOSFETを変調する強誘電体ゲート制御型FETを一記憶保持素子として複数の記憶素子を配列した回路と、該記憶素子を駆動するために同一基板上に形成された制御回路を構成するMOSFETとからなり、前記強誘電体キャパシタの一方の電極をゲート電極に電氣的に接続したMOSFETは、前記記憶素子を駆動するために同一基板上に形成された制御回路を構成するMOSFETと同一工程で形成してなることを特徴とする半導体記憶装置およびその製造方法。

【請求項 2】 シリコン基板上につくられたMOSFETと、該MOSFETを形成する工程とは別の工程で同一基板上につくられた強誘電体キャパシタの一方の電極が、前記MOSFETのゲート電極と電氣的に接続され、もう一方の強誘電体キャパシタの電極に与える電位によって前記MOSFETを変調する強誘電体ゲート制御型FETを一記憶保持素子として複数の記憶素子を配列した回路と、該記憶素子を駆動するために同一基板上に形成された制御回路を構成するMOSFETとからなる半導体記憶装置と、該半導体記憶装置と電気信号情報をやりとりして該基板外部とやりとりする電気情報信号を処理加工するために同一基板上に形成された論理回路を構成するMOSFETとからなり、前記強誘電体キャパシタの一方の電極をゲート電極に電氣的に接続したMOSFETは、前記記憶素子を駆動するために同一基板上に形成された制御回路を構成するMOSFETおよび該半導体記憶装置と電気信号情報をやりとりして該基板外部とやりとりする電気情報信号を処理加工するために同一基板上に形成された論理回路を構成するMOSFETとが同一工程で形成してなることを特徴とする半導体記憶装置およびその製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体キャパシタをゲート電位制御に用いた電界効果型のトランジスタである半導体記憶装置に関する。

【0002】

【従来の技術】

ゲートに強誘電体膜を具備した従来の電界効果型トランジスタ（強誘電体FET）は、たとえば図4に示すような構成からなる。ここで、3はたとえばジルコニーチタン酸鉛（PZT）またはタンタル酸ビスマス ストロンチウム（SBT）などの金属酸化物からなる強誘電体膜、4は酸化膜、10はゲート電極、5はソース、6はドレイン、7はチャンネル、8はシリコン基板である。この構成において、強誘電体膜3は上向きまたは下向きに分極でき、この二つの分極の状態に対応させてその強誘電体FETのしきい値電圧を二つの異なる値のどちらかに設定できるものとする、この状態は強誘電体膜3の分極が保持される限り保持（記憶）される。したがって、強誘電体FETはメモリ装置に応用できる。

【0003】

このような構成の強誘電体FETを得るための従来の技術は、シリコン基板8の表面に酸化膜4を成長させる工程と、つづいてその上に強誘電体膜3を成長させる工程と、ゲート電極10を堆積させて積層構造とする工程と、そののちゲート部を所望の形状に加工する工程と、ゲート部をマスクとして不純物イオンを注入し、ソース5およびドレイン6を形成する工程とからなる。

【0004】

【発明が解決しようとする課題】

しかし、このような強誘電体FETを集積回路として動作させるには、強誘電体FETを駆動するための周辺回路が必要であり、この周辺回路はMOSFETで構成される。このようなMOSFETと強誘電体FETを同一基板上に形成するには、まず、図2（a）に示すように、まずシリコン基板8上にゲート酸化膜17およびゲート電極18を所望の形状に加工したのち、図2（a）に示すフォ

トレジスト 1 9 をマスクとして不純物イオン注入を所望の部位に施してソース 1 5 およびドレイン 1 6 を形成して MOS F E T を得る。

【 0 0 0 5 】

そののち、フォトレジスト 1 9 を除去して図 2 (b) に示すように、形成した MOS F E T を層間絶縁膜 2 0 で覆い、強誘電体 F E T を形成すべき部位にシリコン基板 8 の表面を露出させ、シリコン基板 8 の表面に酸化膜 4 と、その上に強誘電体膜 3 と、ゲート電極 1 0 とを堆積させて積層構造し、そののちフォトレジスト 1 9 をマスクとして不純物イオンを注入し、ソース 5 およびドレイン 6 を形成する。

【 0 0 0 6 】

しかしながら、上述の方法によると、MOS F E T と強誘電体 F E T を形成する工程が異なるので、ソースおよびドレインを形成する不純物イオン注入の工程が少なくとも 2 回必要である。

【 0 0 0 7 】

また、図 2 (c) に見るように、MOS F E T での不純物イオン注入におけるゲート上のマスクの高さに比べて強誘電体 F E T のゲート上のマスクのそれが高くなっており、不純物イオン注入におけるイオン入射角の制御が複雑になり、所望のソース 5 およびドレイン 6 の形成が困難になる。

【 0 0 0 8 】

さらに、強誘電体 3 の高温焼成工程において、強誘電体の成分元素が酸化膜 4 を介してシリコン基板 8 へ拡散し、ソース 5 - ドレイン 6 間の伝導特性を変化させ、所望の F E T 電気特性が得られないという欠点があった。

【 0 0 0 9 】

【課題を解決するための手段】

上記の問題を解決するために、本発明は、強誘電体キャパシタと MOS F E T のゲート電極とを電氣的に接続した強誘電体ゲート制御型 F E T の MOS F E T と、同一シリコン基板上につくられた制御回路を構成する MOS F E T とを同一工程で形成する。

【 0 0 1 0 】

【発明の実施の形態】

請求項 1 に記載の発明は、強誘電体膜とゲート電極強誘電体キャパシタと MOSFET のゲート電極とを電氣的に接続した強誘電体ゲート制御型 FET の MOSFET と、同一シリコン基板上につくられた制御回路を構成する MOSFET とを同一工程で形成し、ソースおよびドレインを形成する不純物イオン注入の工程は 1 回に簡略化できるという作用を有する。

【0011】

以下、本発明の実施の形態について、図 1 を用いて説明する。

【0012】

(実施の形態 1)

図 1 (a) において、17 はゲート酸化膜、18 はゲート電極、15 はソース、16 はドレイン、19 はフォトレジスト、8 はシリコン基板である。

【0013】

図 1 (b) において、20 は層間絶縁膜、21 はポリシリコンプラグ、31 は強誘電体キャパシタの第 1 の電極、32 は強誘電体キャパシタの第 2 の電極、3 は強誘電体である。

【0014】

(実施の形態 2)

図 3 において、41 はシリコンチップ、42 は強誘電体ゲート制御型 FET を一記憶保持素子として複数の記憶素子を配列した記憶回路部、43 は該記憶素子を駆動するための制御回路と、これらと電気信号情報をやりとりしてシリコンチップ 41 の外部とやりとりする電気情報信号を処理加工するための論理回路を構成する MOSFET 回路部である。

【0015】

【実施例】

次に、本発明の具体例を説明する。

【0016】

(実施例 1)

実施の形態 1 における構成の半導体記憶装置において、8 は P 型のシリコン基

板、ソース 1 5 およびドレイン 1 6 は N 型にドーピングされるものとする。

【 0 0 1 7 】

この構成のシリコン基板 8 の表面を高温炉で酸化してゲート酸化膜 1 7 を形成する。つづいてポリシリコンからなるゲート電極 1 8 を形成し、フォトリソグリス 1 9 をマスクとして不純物イオン注入を行い、ソース 1 5 およびドレイン 1 6 を形成して MOSFET を複数個得る。つづいて、層間絶縁膜 2 0 を積層し、しかるのち所望の MOSFET のゲート電極 1 8 の上にのみポリシリコンプラグ 2 1 を形成し、さらにその上に白金を用いて第 1 の電極 3 1 を形成し、その上に強誘電体 3 を形成する。このとき、強誘電体膜 3 とゲート電極 1 8 との間は層間絶縁膜 2 0 で隔離されているので、高温の酸素処理によって強誘電体膜 3 を焼成しても、強誘電体の成分元素がシリコン基板 8 まで拡散することはない。さらに強誘電体 3 の上に白金からなる第 2 の電極 3 2 を形成して強誘電体ゲート制御型 FET 変調用の制御電極とする。

【 0 0 1 8 】

以上の構成と手順により、ソースおよびドレインを形成する不純物イオン注入の工程は 1 回に簡略化でき、不純物イオン注入におけるイオン入射角の制御は通常の MOSFET 製造における手段が使える、さらに、強誘電体 3 の高温焼成工程において、強誘電体の成分元素の拡散は層間絶縁膜 2 0 によって抑制される。

【 0 0 1 9 】

(実施例 2)

つぎに、実施の形態 2 における構成の半導体記憶装置は、強誘電体ゲート制御型 FET を得る手段は実施例 1 とかわりはないが、図 3 に示すとおり、強誘電体ゲート制御型 FET を一記憶保持素子として複数の記憶素子を配列ブロック化した記憶回路部 4 2 と、これら記憶素子を駆動するための制御回路および電気信号情報をやりとりしてシリコンチップ 4 1 の外部とやりとりする電気情報信号を処理加工するための論理回路とをまとめてブロック化した MOSFET 回路部 4 3 とをシリコンチップ 4 1 上に形成したものである。

【 0 0 2 0 】

これにより記憶回路部 4 2 と MOSFET 回路部 4 3 とを構成する MOSFET

Tを同一工程で形成できる簡素化された工程で製造されたシリコンチップ41を提供できる。

【0021】

【発明の効果】

以上のように本発明によれば、強誘電体ゲート制御型FETからなる記憶回路部と論理・制御回路からなるMOSFET回路部とを構成するMOSFETのソースおよびドレインを形成する不純物イオン注入の工程が1回に簡略化でき、不純物イオン注入におけるイオン入射角の制御は通常のMOSFET製造における手段が使える、さらに、強誘電体3の高温焼成工程において、強誘電体の成分元素の拡散は層間絶縁膜20によって抑制されるので、信頼性が高く製造プロセスの簡素な強誘電体ゲート制御型FETの記憶素子とMOSFETから構成された論理・制御素子を混載したシリコンチップが提供できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による半導体記憶装置の断面構造を示す図

【図2】

従来技術の強誘電体FETを製造する工程を説明する構造断面図

【図3】

本発明の一実施の形態による半導体記憶装置のチップレイアウトを示す図

【図4】

従来の強誘電体FETの断面構造を示す図

【符号の説明】

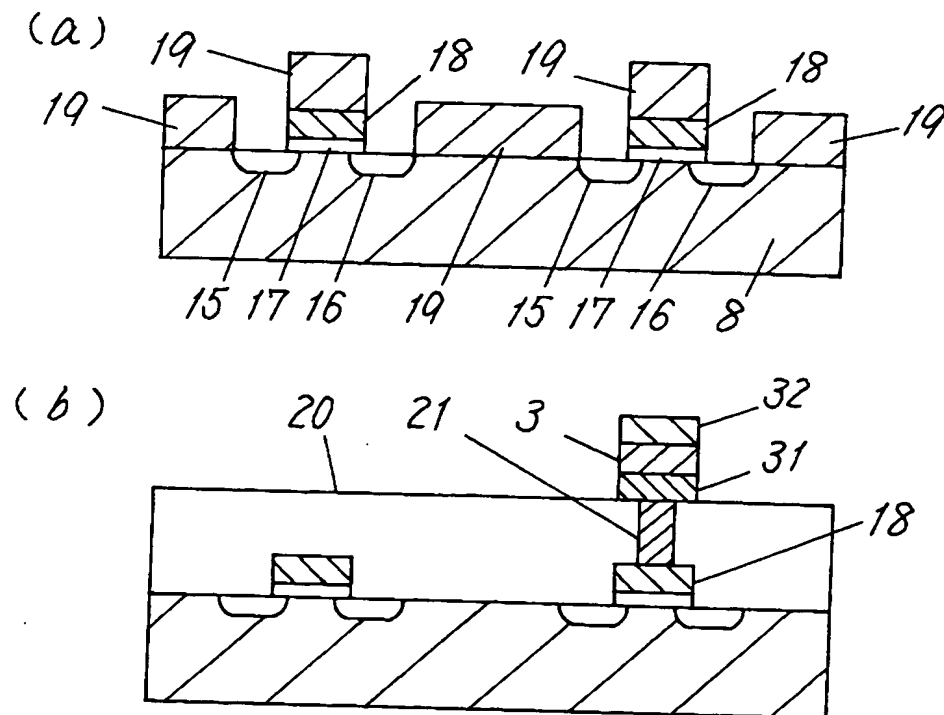
- 3 強誘電体
- 8 シリコン基板
- 15 ソース
- 16 ドレイン
- 17 ゲート酸化膜
- 18 ゲート電極
- 19 フォトレジスト

- 2 0 層間絶縁膜
- 2 1 ポリシリコンプラグ
- 3 1 強誘電体キャパシタの第 1 の電極
- 3 2 強誘電体キャパシタの第 2 の電極
- 4 1 シリコンチップ
- 4 2 記憶回路部
- 4 3 MOSFET回路部

【書類名】 図面

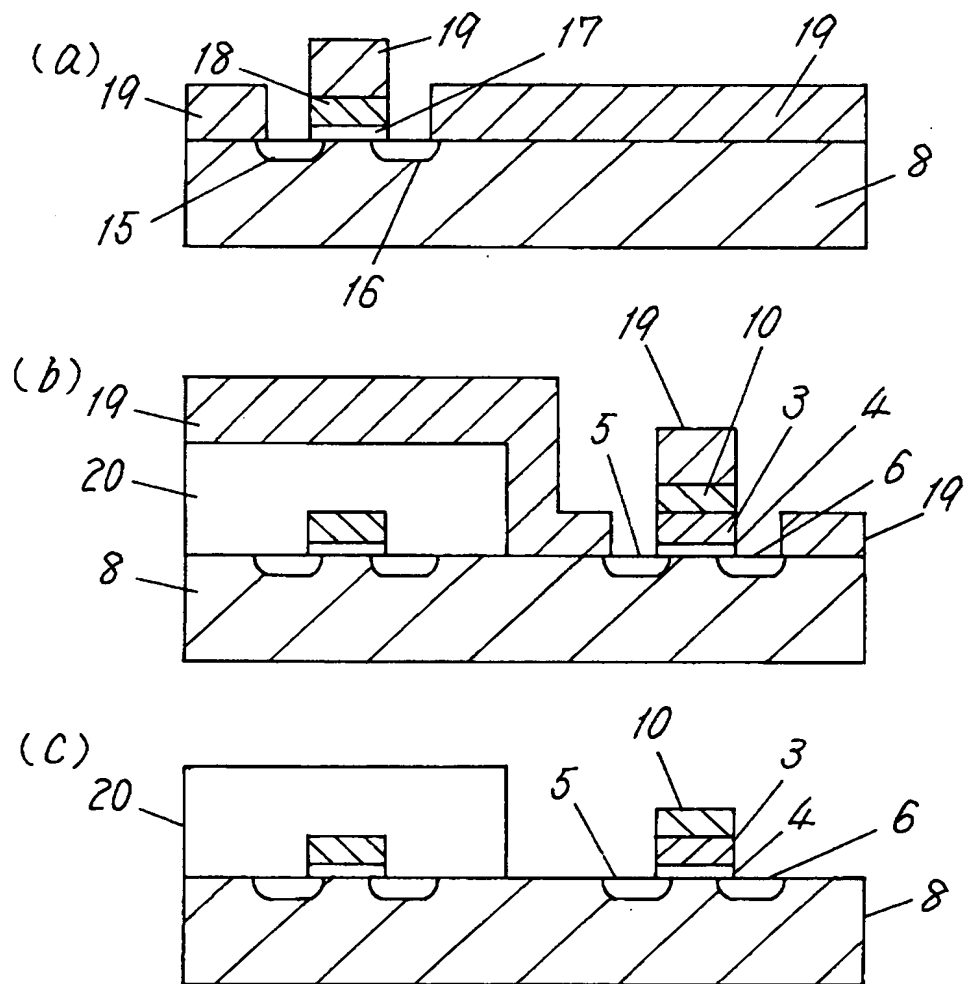
【図1】

- 3 強誘電体
- 8 シリコン基板
- 15 ソース
- 16 ドレイン
- 17 ゲート酸化膜
- 18 ゲート電極
- 19 フォトレジスト
- 20 層間絶縁膜
- 21 ポリシリコンプラグ
- 31 強誘電体キャパシタの第1の電極
- 32 強誘電体キャパシタの第2の電極



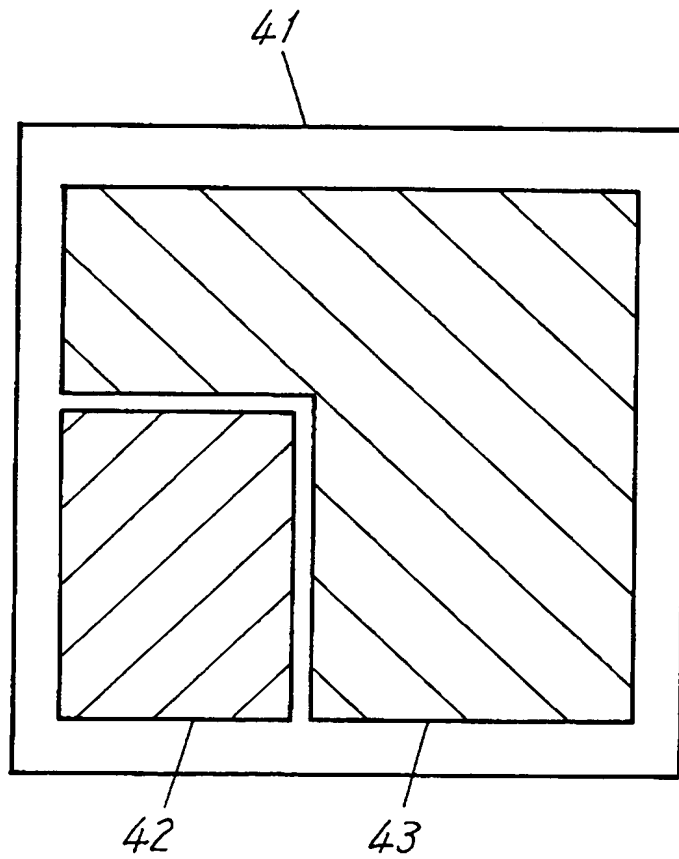
【図2】

- | | |
|----------|------------|
| 3 強誘電体 | 17 ゲート酸化膜 |
| 8 シリコン基板 | 18 ゲート電極 |
| 15 ソース | 19 フォトリジスト |
| 16 ドレイン | 20 層間絶縁膜 |



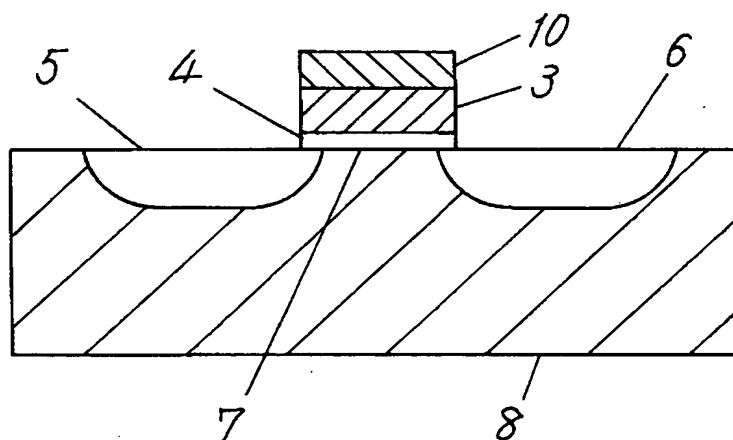
【図3】

41 シリコンチップ
42 記憶回路部
43 MOSFET回路部



【図 4】

- 3 強誘電体膜
- 4 酸化膜
- 5 ソース
- 6 ドレイン
- 7 チャネル
- 8 シリコン基板
- 10 ゲート電極



【書類名】 要約書

【要約】

【課題】 信頼性が高く製造プロセスの簡素な強誘電体ゲート制御型 F E T の記憶素子と M O S F E T から構成された論理・制御素子を混載したシリコンチップが提供できる半導体記憶装置およびその製造方法を提供することを目的とする。

【解決手段】 強誘電体キャパシタと M O S F E T のゲート電極とを電氣的に接続した強誘電体ゲート制御型 F E T の M O S F E T と、同一シリコン基板上につくられた制御回路を構成する M O S F E T とを同一工程で形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日 1 9 9 3 年 9 月 1 日
[変更理由] 住所変更
住 所 大阪府高槻市幸町 1 番 1 号
氏 名 松下電子工業株式会社